

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-180352
(43)Date of publication of application : 13.08.1986

(51)Int.Cl. G06F 13/00
G06F 15/16

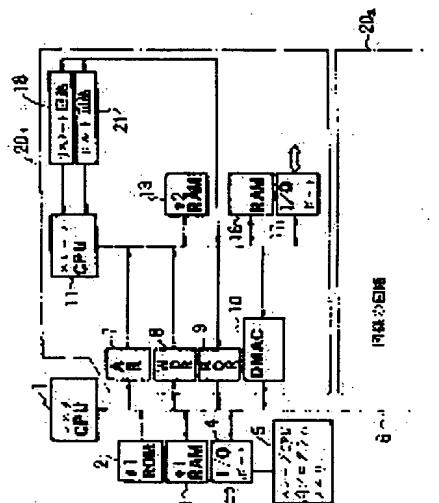
(21)Application number : 59-281058 (71)Applicant : FUJITSU LTD
(22)Date of filing : 30.12.1984 (72)Inventor : TSUBOI HIDEO

(54) DOWN-LOADING SYSTEM FOR PROGRAM

(57)Abstract:

PURPOSE: To omit a ROM which is under control of a slave processor S-CPU by providing a stop circuit which stops the actuation of the S-CPU during a down-loading process in a start mode.

CONSTITUTION: An S-CPU 11 in a slave device 201 is restarted immediately after it is reset by a restart circuit 18 when a power supply is applied and then keeps a halt state by a halt circuit 21. A master CPU 1 writes the programs stored in a program memory 5 on an address register 7 and a write data register 8 within the device 20, respectively. Then only the timing of a DMAC 10 produced under control of the CPU 1 is used to perform a down loading action to an RAM 13. A read data register 9 reads the down-loading data and returns it for confirmation at the CPU 1. Then the stop mode of the CPU 11 is released by the circuit 21 when the down-loading action is through. At the same time, the CPU 11 is restarted by the circuit 18.



⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭61-180352

⑬ Int. Cl.

G 06 F 13/00
15/16

識別記号

序内整理番号
J-6549-5B
Z-6619-5B

⑭ 公開 昭和61年(1986)8月13日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 プログラムダウンロード方式

⑯ 特願 昭59-281058

⑰ 出願 昭59(1984)12月30日

⑱ 発明者 坪井秀夫 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 復代理人 弁理士 田坂善重

明細書

1. 発明の名称 プログラムダウンロード方式

2. 特許請求の範囲

マスタプロセッサ (M-CPU) にその制御下のスレーブプロセッサ (S-CPU) 用制御プログラムを格納しておき、そのリードオンリメモリ (ROM) の制御情報により、起動時各 S-CPU のランダムアクセスメモリ (RAM) に対応する制御プログラムをダウンロードし、各 S-CPU の制御を該 RAM で行なうマルチ CPU システムの改良に関するものである。

〔従来の技術〕

従来、マスタ CPU 制御の装置と複数のスレーブ CPU 制御の装置より成るマルチ CPU システムが用いられている。第 2 図 (a), (b) はこの種のシステムの構成の 1 例を示す。すなわち、マスタ CPU 1 からアドレス、データのバス 6 を介し #1 ROM 2 と #1 RAM 3 が接続され、I/O ポート 4 を介して I/O に接続される。また、I/O ポート 4 を介しスレーブ CPU 用プログラムメモリ 5 が接続される。マスタ CPU 1 の制御で、#1 ROM 2 の制御プログラムにより #1 RAM 3 のアドレス、データを読み出し、I/O の機能を実行する外に、スレーブ CPU の起動時には #1 ROM 2 の制御プログラムによりスレーブ CPU 用プログラムメモリ 5 中の対応するプログラムを読み出し、これをスレーブ装置 20₁, 20₂ 等の代表例として装置 20₁ 内のスレーブ CPU 11 に転送する。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はマスタプロセッサ (M-CPU) にスレーブプロセッサ (S-CPU) 用制御プログラムを格納しておき、そのリードオンリメモリ (ROM) の制御

このダウンロードデータはスレーブOPU制御の基盤20:内のアドレスレジスタ(A/B)7とライトデータレジスタ(WDR)8に書き込み、これをアドレスデータバス19を介し、#2ROM12の制御プログラムに従い、直接メモリアクセス制御(DMA0)10を用いた転送により、#2RAM13にダウンロードされる。また、リードデータレジスタ(RDR)9はこの場合ダウンロードの読み取りデータのチェックをするため返送するものである。次に、同図(b)にRAM13のダウンロードの前後の状態を示すように、#2ROM12と#2RAM13のアドレスが重複しないようなアドレス空間領域13:を選択するため、バンク構成回路15によりバンク切替を行なつてマスタOPU1からのスレーブOPUプログラムをこのアドレス領域13:にダウンロードする。このダウンロードの間はスレーブOPU11と#2ROM12はDMA010によるダウンロードの転送を行なうのみである。このダウンロードが完了すると、ROM/RAM切替回路14により#2ROM12を#2RAM13に切替えるとともに、バンク構成回路15により

と同じポートROMとRAMを有するため、第2図(b)に説明したように、RAMのアドレス領域をバンク構成としてアドレス空間を切替え、解除するためのバンク構成回路15と、ダウンロード完了後、ROMとRAMを切替えるための切替回路14を必要とし、さらにRAMのバンク構成を解除するため、スレーブOPU11を一旦リセットしてからリスタートする回路18の手順も必要である。このようにマスタOPUに格納されたスレーブOPU用制御プログラムを各スレーブOPUにダウンロードする場合の構成手順はかなり複雑なものとなる。

本発明者は、ダウンロードの間は前述のスレーブOPUとその属するROMは単にマスタOPUからの制御プログラムのDMA0による転送のみに関与しているから、もしこの転送をマスタOPUで制御してやれば、スレーブOPUのダウンロード時の構成、手順は格段に簡便化できることに着目したものである。

本発明の目的は、マスタOPUからスレーブOPU用制御プログラムをスレーブOPUへダウンロード

バンク構成を解除し、リスタート回路18を動作させ、スレーブOPU11を一旦リセットした後リスタートさせる。これは#2RAM13のバンク構成の解除、復旧を誤りなく行なうためである。このスレーブOPU11のリスタート後は、#2ROM12は除外され、#2RAM13にダウンロードされたスレーブOPU用制御プログラムが読み出され、一方I/Oの固有のメカ動作等のアドレス、データがRAM16から読み出され、I/Oポート17を介してI/Oに送られ所定動作が実行される。すなわち、従来例では、ダウンロードはマスタOPU1とスレーブOPU11の間で#2ROM12が関与して行なわれ、ダウンロード後に#2RAM13に切替えられる。

〔発明が解決しようとする問題点〕

以上の構成によると、マスタOPU1に属するポートROM2の制御プログラムにより各スレーブOPU用の制御プログラムを、データとして各スレーブOPUに属するRAMにダウンロードすることにより、マルチOPUの一元的制御を行なつている。しかし、各スレーブOPUはそれぞれマスタOPU

する場合、該スレーブOPUに関連する構成、制御を簡便化したプログラムダウンロード方式を提供することにある。

〔問題点を解決するための手段〕

前記目的を達成するため、本発明のプログラムダウンロード方式はマスタプロセッサ(M-OPU)にその制御下のスレーブプロセッサ(S-OPU)用制御プログラムを格納しておき、そのリードオンリメモリ(ROM)の制御情報により、起動時各S-OPUのランダムアクセスメモリ(BAM)ICに対応する制御プログラムをダウンロードし、各S-OPUの制御を該RAMで行なうマルチOPUシステムにおいて、起動時ダウンロードの間S-OPUの動作を停止する停止回路を設けるとともに、S-OPUの制御下のROMを除去したことを特徴とするものである。

〔作用〕

上記の構成により、ダウンロードの期間において、マスタOPUからの制御プログラムの転送をマスタOPUで制御し、通常のDMA0と異なりそのタ

タイミングのみを利用して転送を行なうことにより、スレーブ CPU をその期間中停止させるものであり、かつその属する ROM を省略することができるものである。これに伴なうバンク構成回路や ROM/RAM 切替回路等の構成も不要となり、構成・手順が格段に簡単化される。

[実施例]

第 1 図 (a), (b) は本発明の実施例の構成説明図である。

同図において、第 2 図 (a), (b) と異なる点は、#2 ROM12 とバンク構成回路 15 と ROM/RAM 切替回路 14 とを除去するとともに、スレーブ OPU11 を停止させるホルト回路 21 を別に設けたことである。さらに、DMA10 はプログラムダウンロード時のスレーブ OPU11 は停止中であるからタイミングのみを用いマスタ OPU の制御のみにより転送を行なう。

すなわち、スレーブ装置 20₁, 20₂ 等の代表例として装置 20₁ 内のスレーブ OPU11 は、電源投入時リスタート回路 18 によりリセット後直ちにリスター

おらず、これに因る構成・手順の無いことを明らかに示している。

[発明の効果]

以上説明したように、本発明によれば、ダウンロード期間中はスレーブ OPU は停止され、その転送、確認の制御はマスタ OPU で行なわれ、かつスレーブ OPU に属する ROM およびダウンロード関連の従来の RAM のバンク構成回路や、ROM/RAM 切替回路等が省略され、手順も格段に省略される。また、その結果ダウンロードに関連する手順が非常に簡単化されるから時間が短縮され、マルチ OPU システムの効率化に役立つところが大きいものである。

4. 図面の簡単な説明

第 1 図 (a), (b) は本発明の実施例の構成説明図と要部の説明図、第 2 図 (a), (b) は従来例の構成説明図と要部の説明図であり、図中、1 はマスタ OPU、2 は#1 ROM、3 は#1 RAM、4 は I/O ポート、5 はスレーブ OPU 用プログラムメモリ、6 はアドレス・データバス、7 はアドレスレジスタ、8 はラ

トし、さらにホルト回路 21 により停止状態を維持する。マスタ OPU1 は#1 ROM2 により、スレーブ OPU 用プログラムメモリ 5 内のプログラムをホルト状態のスレーブ OPU11 の装置 20₁ 内のアドレスレジスタ (AR) 7 とライトデータレジスタ (WDR) 8 に書き込み、マスタ OPU1 制御による DMA10 のタイミングのみを用いて#2 RAM13 IC ダウンロードする。リードデータレジスタ (RDR) 9 はダウンロードデータを読み取りマスタ OPU1 で確認するため返送する。これもマスタ OPU1 の制御で行なわれる。そして、ダウンロードの完了時点でホルト回路 21 によりスレーブ OPU11 の停止解除を行ない、同時にリスタート回路 18 によりリスタートを行なう。このリスタートにより#2 RAM13 からダウンロードされたスレーブ OPU11 用のプログラムを読み出し、RAM16 より I/O 機能用アドレスデータを読み出し、I/O ポート 17 を介し I/O に送り実行する。

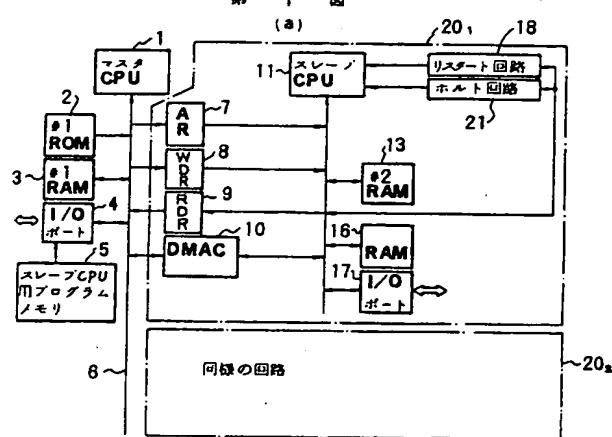
同図 (b) は第 2 図 (b) に对比して示すダウンロード前後の RAM13 の状態である。状態は全く変化して

イトデータレジスタ、9 はリードデータレジスタ、10 は直接メモリアクセス制御 (DMA)、11 はスレーブ OPU、13 は#2 RAM、16 は RAM、17 は I/O ポート、18 はリスタート回路、21 はホルト回路を示す。

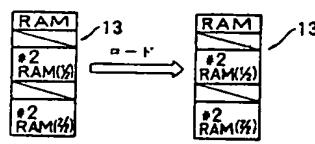
特許出願人 富士通株式会社

復代理人 弁理士 田坂善重

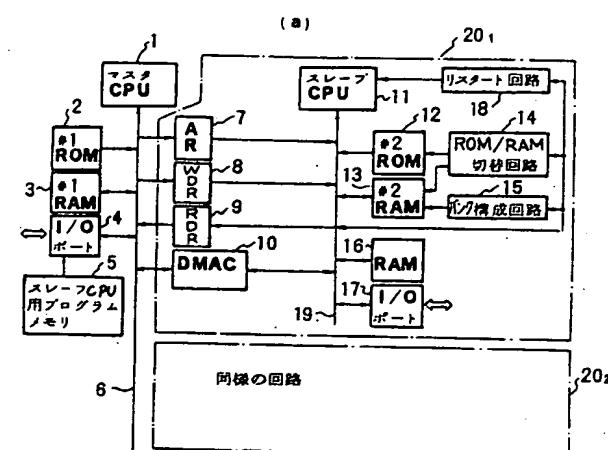
第 1 図



(b)



第 2 図



(b)

